

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-109908

(43)Date of publication of application : 23.04.1999

(51)Int.Cl.

G09G 3/18
G02F 1/133

(21)Application number : 09-274125

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 07.10.1997

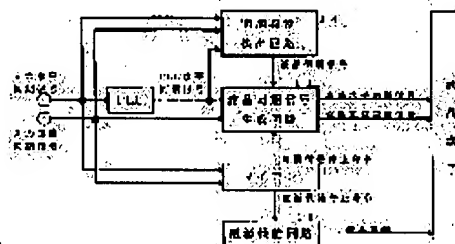
(72)Inventor : AOKI MITSUO
MAIKUMA HIDEKI

(54) LIQUID CRYSTAL DEVICE PROTECTION CIRCUIT FOR LIQUID CRYSTAL DISPLAY DEVICE

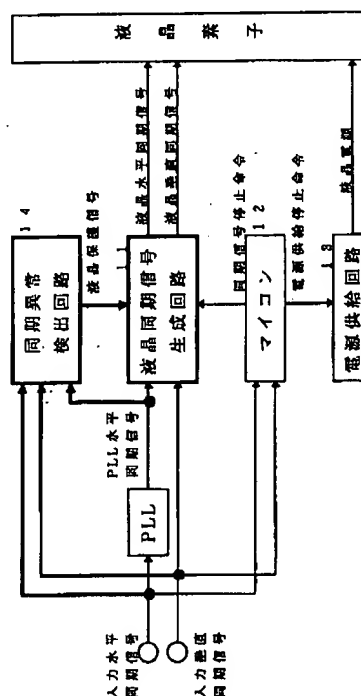
(57)Abstract:

PROBLEM TO BE SOLVED: To provide a means for protecting a liquid crystal device without delay at the time of causing the abnormality or stopping of a synchronizing signal.

SOLUTION: A synchronous abnormality detecting circuit 14 is newly added to detect the abnormality or stopping of a synchronizing signal detected by hardware, thereby generating a liquid crystal protecting signal. A liquid crystal synchronizing signal generating circuit 11 that receives this protecting signal is provided with a function of instantly switching to the liquid crystal synchronizing signal of a frequency, protecting a liquid crystal device without delay, thereby avoiding deterioration of the liquid crystal device, and enabling reliability to be improved as a liquid crystal display device.



(11)特許出願公開番号



【特許請求の範囲】

【請求項 1】入力水平同期信号および入力垂直同期信号、PLL 水平同期信号を常時監視することで、これら同期信号の異常または停止を検出し、検出結果として液晶保護信号を生成する異常検出手段と、前記液晶保護信号を受け取り、液晶素子へ固定周期の液晶水平同期信号および液晶垂直同期信号を生成し出力することで、液晶素子への異常信号入力および直流印加を防ぐ手段とを備えたことを特徴とする液晶表示装置の液晶素子保護回路。

【請求項 2】入力水平同期信号および入力垂直同期信号、PLL 水平同期信号の異常状態または停止状態を検出し液晶保護信号を生成する同期異常検出回路と、この液晶保護信号を受け取り、液晶素子へ固定周期の液晶水平同期信号および液晶垂直同期信号を生成し出力する液晶同期信号生成回路とを備え、時間的遅延なしに液晶素子を保護するように構成した液晶表示装置の液晶素子保護回路。

【請求項 3】PLL 水平同期信号周期チェック回路と、入力垂直同期信号周期チェック回路と、入力水平同期信号/PLL 水平同期信号アンロック判定回路と、液晶保護信号生成回路とで構成された同期異常検出回路を備え、時間的遅延なしに、同期信号の異常または停止を検出し、検出結果として液晶保護信号を生成することを特徴とする請求項 2 記載の液晶表示装置の液晶素子保護回路。

【請求項 4】正常時同期信号生成回路と、異常時同期信号生成回路とで構成された液晶同期信号生成回路を備え、前記液晶保護信号を受け取った場合には、正常時同期信号生成回路から異常時同期信号生成回路へ時間的遅延なしに切り換えることを特徴とした請求項 2 記載の液晶表示装置の液晶素子保護回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置における液晶素子の保護回路に関するものである。

【0002】

【従来の技術】従来の液晶素子保護回路の構成例を図 4 に示す。

【0003】液晶同期信号生成回路 11 は、PLL 水平同期信号および入力垂直同期信号から液晶水平同期信号および液晶垂直同期信号を生成する。しかし、一旦入力される同期信号に異常状態または停止状態が起これば、液晶へ出力する同期信号も信号異常または信号停止となり、液晶素子に直流が印加された状態となる。これは、液晶素子の劣化および、最悪の場合破壊に至る可能性があり、液晶表示装置にとっては致命的な品質問題を招く。

【0004】そこで、従来回路では、マイコン 12 が入力水平同期信号および入力垂直同期信号を監視し、異常

状態または停止状態の発生を検出すると、電源供給回路 13 に液晶素子への電源供給の停止を命じ、さらに液晶同期信号生成回路 11 に液晶素子への同期信号供給の停止を命ずる。この動作により、液晶素子に直流が印加された状態を解除し、液晶素子を保護していた。

【0005】

【発明が解決しようとする課題】前記の従来の液晶素子保護回路においては、以下のような問題点があった。

【0006】マイコンが入力水平同期信号および入力垂直同期信号の異常状態または停止状態の発生を検出し、さらに液晶素子への電源供給の停止および同期信号供給の停止を命ずる間に、ソフトウェア処理が介在するため、どうしても時間的遅延が発生することになる。この間、短時間ではあるが液晶素子に直流が印加し、破壊には至らないまでも発生回数によっては劣化の可能性は否定できなかった。

【0007】本発明は、上記のような問題点を解決するためになされたものであり、異常状態または停止状態の発生時に時間的遅延なしに液晶素子を保護する手段を提供することを目的としている。

【0008】

【課題を解決するための手段】このソフトウェア処理における時間的遅延をなくすために、異常状態または停止状態発生の検出、液晶保護信号の生成、固定周期の液晶同期信号への切り換えをハードウェア処理で行うように構成したものである。

【0009】これにより、時間的遅延なしに液晶素子を保護することが可能となり、液晶素子の劣化を避け、液晶表示装置としての信頼性の向上が得られる。

【0010】

【発明の実施の形態】本発明の請求項 1 に記載の発明は、入力水平同期信号および入力垂直同期信号、PLL 水平同期信号を常時監視することで、これらの同期信号の異常または停止を検出し、検出結果として液晶保護信号を生成する異常検出手段と、前記液晶保護信号を受け取り、液晶素子へ固定周期の液晶水平同期信号および液晶垂直同期信号を生成し出力することで、液晶素子への異常信号入力および直流印加を防ぐ手段とを備えたことを特徴とする液晶表示装置の液晶素子保護回路としたものであり、液晶素子の劣化および破壊を防止するという作用を有する。

【0011】本発明の請求項 2 に記載の発明は、入力水平同期信号および入力垂直同期信号、PLL 水平同期信号の異常状態または停止状態を検出し液晶保護信号を生成する同期異常検出回路と、前記液晶保護信号を受け取り、液晶素子へ固定周期の液晶水平同期信号および液晶垂直同期信号を生成し出力する液晶同期信号生成回路とを備え、時間的遅延なしに液晶素子を保護するように構成した液晶表示装置の液晶素子保護回路としたものであり、液晶素子の劣化および破壊を防止するという作用を

有する。

【0012】本発明の請求項3に記載の発明は、PLL水平同期信号周期チェック回路と、入力垂直同期信号周期チェック回路と、入力水平同期信号／PLL水平同期信号アンロック判定回路と、液晶保護信号生成回路とで構成された同期異常検出回路を備え、時間的遅延なしに、同期信号の異常または停止を検出し、検出結果として液晶保護信号を生成することを特徴とする請求項2に記載の液晶表示装置の液晶素子保護回路としたものであり、液晶素子の劣化および破壊を防止するという作用を有する。

【0013】本発明の請求項4に記載の発明は、正常時同期信号生成回路と、異常時同期信号生成回路とで構成された液晶同期信号生成回路を備え、前記液晶保護信号を受け取った場合には、正常時同期信号生成回路から異常時同期信号生成回路へ時間的遅延なしに切り換えることを特徴とした請求項2に記載の液晶表示装置の液晶素子保護回路としたものであり、液晶素子の劣化および破壊を防止するという作用を有する。

【0014】以下、本発明の実施の形態について、図1から図3を用いて説明する。

（実施の形態）図1は液晶表示装置の液晶素子保護回路のブロック図を示す。従来例の図4に加え、新たに同期異常検出回路14を追加し、液晶同期信号生成回路11に新たな機能を追加することにより、時間的遅延なしに液晶素子の保護が可能となる。

【0015】図2は新たに追加した同期異常検出回路14のブロック図を示す。この同期異常検出回路14は、PLL水平同期信号周期チェック回路15と、入力垂直同期信号周期チェック回路16と、入力水平同期信号とPLL水平同期信号アンロック判定回路17（図2では、入力水平同期信号／PLL水平同期信号アンロック判定回路）と、液晶保護信号生成回路18から構成される。

【0016】PLL水平同期信号周期チェック回路15は、PLL水平同期信号の周期を監視し、規定時間内に入力がない場合、PLL回路の異常または入力水平同期信号の停止と判断、液晶保護信号の基となる信号を液晶保護信号生成回路に出力する。

【0017】入力垂直同期信号周期チェック回路16は、入力垂直同期信号の周期を監視し、規定時間内に入力がない場合、入力垂直同期信号の停止と判断、液晶保護信号の基となる信号を液晶保護信号生成回路に出力する。

【0018】入力水平同期信号／PLL水平同期信号アンロック判定回路17は、入力水平同期信号とPLL水平同期信号との位相差を監視し、位相がずれていた場合にアンロックと判定し、水平同期信号が異常と判断、液晶保護信号の基となる信号を液晶保護信号生成回路に出力する。液晶保護信号生成回路18は、前記のPLL水

平同期信号周期チェック回路15と、入力垂直同期信号周期チェック回路16と、入力水平同期信号／PLL水平同期信号アンロック判定回路17から出力される各信号から、液晶保護信号を生成する。

【0019】この同期異常検出回路14は、ハードウェアで構成されるため、時間的遅延なしに、同期信号の異常または停止を検出し、検出結果として液晶保護信号を生成することが可能である。

【0020】図3は新たな機能を追加した液晶同期信号生成回路11のブロック図を示す。この液晶同期信号生成回路11は、正常時同期信号生成回路19と、異常時同期信号生成回路20から構成される。

【0021】正常時同期信号生成回路19は、入力垂直同期信号およびPLL水平同期信号から液晶水平同期信号および液晶垂直同期信号を生成する。異常時同期信号生成回路20は、入力垂直同期信号およびPLL水平同期信号に関係なく、固定周期の液晶水平同期信号および液晶垂直同期信号を生成する。

【0022】この液晶同期信号生成回路11は、前記同期異常検出回路14から出力される液晶保護信号を監視し、液晶保護信号を受け取った場合には、正常時同期信号生成回路から異常時同期信号生成回路へ時間的遅延なしに切り換える。この動作により、液晶素子に直流が印加された状態を排除することが可能となる。

【0023】

【発明の効果】以上のように本発明によれば、時間的遅延なしに液晶素子を保護することが可能となり、液晶素子の劣化を避け、液晶表示装置としての信頼性の向上が得られるという有利な効果が得られる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の液晶素子保護回路のブロック図

【図2】本発明の液晶表示装置の同期異常検出回路のブロック図

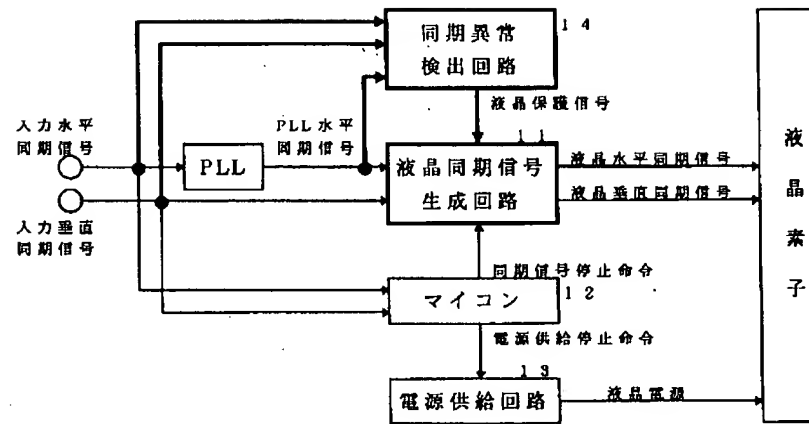
【図3】本発明の液晶表示装置の同期信号生成回路のブロック図

【図4】従来の液晶表示装置の液晶素子保護回路のブロック図

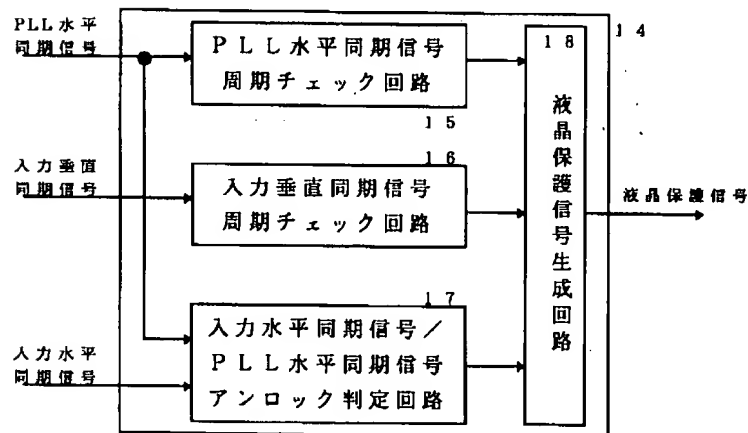
【符号の説明】

- 11 液晶同期信号生成回路
- 12 マイコン
- 13 電源供給回路
- 14 同期異常検出回路
- 15 PLL水平同期信号周期チェック回路
- 16 入力垂直同期信号周期チェック回路
- 17 入力水平同期信号／PLL水平同期信号アンロック判定回路
- 18 液晶保護信号生成回路
- 19 正常時同期信号生成回路
- 20 異常時同期信号生成回路

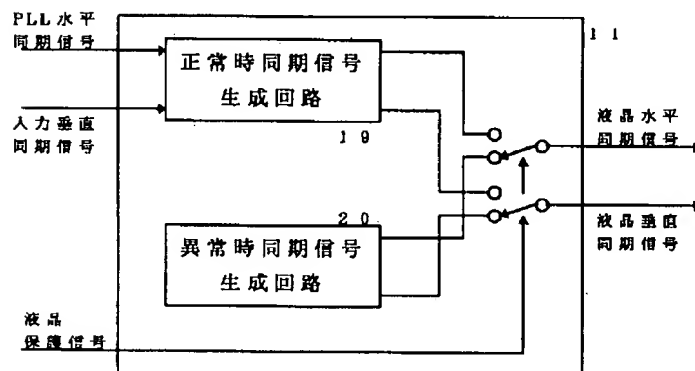
【図1】



【図2】



【図3】



【図4】

